|  |  |  |
| --- | --- | --- |
| 陈东维 | | |
| 中国，北京市海淀区颐和园路5号（北京大学），29楼623室  (+86)15101650288 | cdwdhr@pku.edu.cn | | |
| **教育经历** | | |
| **在北京大学攻读博士学位** | | 2015-至今 |
| * 就读于北京大学微处理器研究开发中心。**GPA: 3.54** * 目前的研究方向是高速缓存与存储系统 | | |
| |  |  | | --- | --- | | **在北京大学取得计算机科学理学学士学位** | 2011 – 2015 | | * 就读于北京大学信息科学技术学院. **GPA: 3.43** * **有关课程：**数据结构与算法，算法设计与分析，操作系统，编译原理，计算机体系结构， 高等数学，高等代数，概率与统计，集合论与图论 | | | | |
| |  |  | | --- | --- | | **在北京大学取得心理学双学位** | 2012 – 2015 | | * **GPA: 3.02** * **有关课程：社会心理学，**普通心理学，认知心理学，发展心理学，变态心理学，中枢神经系统解剖 | | | | |
| **经历** | | |
| **对RISCV的Rocket-chip中存储系统的研究** | | 2016-至今 |
| * 建立了一个用于比较改写模块与参考模块的测试系统。 * 目前在重点研究Rocket-chip的缓存一致性框架TileLink。 | | |
| **毕业设计：一个面向碳纳米管的8位处理器** | | 2015 |
| * 参考Intel 8008设计了一款面向碳纳米管的8位处理器。 * 使用Verilog语言实现，利用Modelsim进行模拟测试，处理器可以运行简单的应用程序。 | | |
| **MIPS体系结构的指令级模拟器** | | 2013 |
| * 使用C++实现了一个MIPS子集的指令级模拟器。 * 模拟器包含一个cache，可以周期精确地模拟一个单发射3级流水线CPU的工作过程。 | | |
| **获奖** | | |
| 获信息科学技术学院的WA奖学金  在北京大学ACM校内赛中获三等奖 | 2016  2012 | |
| **技能** | | |
| **掌握的语言：** C，C++，Python，Verilog  **英文水平：**CET4（633)，CET6（607）.  **其他语言：**中文（母语） | | |
|  | | |
|  | | |